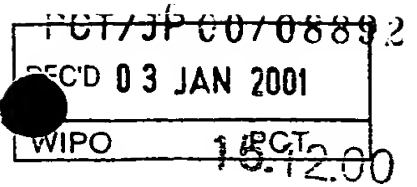


09/913688



日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

JP00/8892

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1999年12月17日

出願番号

Application Number:

平成11年特許願第358634号

出願人

Applicant(s):

ソニー株式会社

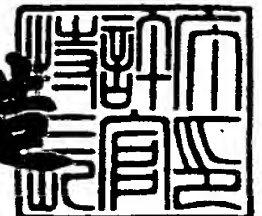
PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

BEST AVAILABLE COPY

2000年10月13日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3085007

【書類名】 特許願

【整理番号】 9900674003

【提出日】 平成11年12月17日

【あて先】 特許庁長官殿

【国際特許分類】 G11B 20/10

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

 【氏名】 森永 剛男

【特許出願人】

 【識別番号】 000002185

 【氏名又は名称】 ソニー株式会社

 【代表者】 出井 伸之

【代理人】

 【識別番号】 100082131

 【弁理士】

 【氏名又は名称】 稲本 義雄

 【電話番号】 03-3369-6479

【手数料の表示】

 【予納台帳番号】 032089

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9708842

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報処理装置および方法、並びに記録媒体

【特許請求の範囲】

【請求項 1】 所定のフォーマットの packets で構成される stream を受信する受信手段と、

前記受信手段により受信された前記 stream を構成する packets から、記録装置に記録する packets を抽出する抽出手段と、

前記抽出手段により抽出された前記 packets を記憶する記憶手段と、

前記記憶手段により記憶された前記 packets のデータ量が、所定の容量を越えた場合、前記 packets を DMA 転送するためのコマンドを生成する生成手段と、

前記生成手段により生成された前記コマンドに従って、前記 packets を所定のデータ量のブロックとして、前記記録装置に対して DMA 転送する転送手段とを含むことを特徴とする情報処理装置。

【請求項 2】 直前のブロックが記録されている前記記録装置内のアドレス、現在のブロックが記録される前記記録装置内のアドレス、または、直後のブロックが記録される前記記録装置内のアドレスのうち、少なくとも 1 つを含む情報を、前記実行手段により DMA 転送される前記ブロックに付加する付加手段と、

前記付加手段により付加される情報を、更新する更新手段と

をさらに含むことを特徴とする請求項 1 に記載の情報処理装置。

【請求項 3】 受信された前記 stream を構成する packets から、記録装置に記録する packets を抽出する抽出ステップと、

前記抽出ステップの処理で抽出された前記 packets の記憶を制御する記憶制御ステップと、

前記記憶制御ステップの処理で記憶が制御された前記 packets のデータ量が、所定の容量を越えた場合、前記 packets を DMA 転送するためのコマンドを生成する生成ステップと、

前記生成ステップの処理で生成された前記コマンドに従って、前記 packets を所定のデータ量のブロックとして、前記記録装置に対して DMA 転送する転送ステップと

を含むことを特徴とする情報処理方法。

【請求項 4】 受信された前記ストリームを構成するパケットから、記録装置に記録するパケットを抽出する抽出ステップと、

前記抽出ステップの処理で抽出された前記パケットの記憶を制御する記憶制御ステップと、

前記記憶制御ステップの処理で記憶が制御された前記パケットのデータ量が、所定の容量を越えた場合、前記パケットを DMA 転送するためのコマンドを生成する生成ステップと、

前記生成ステップの処理で生成された前記コマンドに従って、前記パケットを所定のデータ量のブロックとして、前記記録装置に対して DMA 転送する転送ステップと

を含むことを特徴とするコンピュータが読み取り可能なプログラムが記録されている記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は情報処理装置および方法、並びに記録媒体に関し、特に、DMA 転送を行う際に、ホスト CPU の負担を軽減させるのに適した情報処理装置および方法、並びに記録媒体に関する。

【0002】

【従来の技術】

近年、デジタル衛星放送が本格的に開始され、各種のデジタル衛星放送受信装置が商品化されている。それらの装置の中には、受信したデジタル衛星放送番組を記録するためのハードディスクなどの蓄積デバイスを内蔵したものがある。

【0003】

【発明が解決しようとする課題】

上述したようなデジタル映像放送受信装置において、トランスポートストリームのような AV (Audio Visual) ストリームを、内蔵しているハードディスクに記録する、または、ハードディスクから読み出し再生する場合、ホスト CPU (Cen

tral Processing Unit) が、DMA (Direct Memory Access) のコマンドのセット、LBA (Logical Block Address) のブロック転送毎の設定、転送開始タイミングの設定などを行う必要がある。

【0004】

そのような処理は、ホストCPUにとって負担となり、パフォーマンスがだせずに、例えば、AVストリームの記録処理を行っている際、そのストリームを連続して記録することができないといったことが想定される。

【0005】

本発明はこのような状況に鑑みてなされたものであり、DMA転送用のレジスタを備え、LBAを更新できる機能を備えることにより、ホストCPUに係る負担を軽減することを目的とする。

【0006】

【課題を解決するための手段】

請求項1に記載の情報処理装置は、所定のフォーマットの packets で構成されるストリームを受信する受信手段と、受信手段により受信されたストリームを構成する packets から、記録装置に記録する packets を抽出する抽出手段と、抽出手段により抽出された packets を記憶する記憶手段と、記憶手段により記憶された packets のデータ量が、所定の容量を越えた場合、packets をDMA転送するためのコマンドを生成する生成手段と、生成手段により生成されたコマンドに従って、packets を所定のデータ量のブロックとして、記録装置に対してDMA転送する転送手段とを含むことを特徴とする。

【0007】

直前のブロックが記録されている記録装置内のアドレス、自己のブロックが記録される記録装置内のアドレス、または、直後のブロックが記録される記録装置内のアドレスのうち、少なくとも1つを含む情報を、実行手段によりDMA転送されるブロックに付加する付加手段と、付加手段により付加される情報を、更新する更新手段とをさらに含むようにすることができる。

【0008】

請求項3に記載の情報処理方法は、受信されたストリームを構成する packets

から、記録装置に記録するパケットを抽出する抽出ステップと、抽出ステップの処理で抽出されたパケットの記憶を制御する記憶制御手段と、記憶制御手段の処理で記憶が制御されたパケットのデータ量が、所定の容量を越えた場合、パケットをDMA転送するためのコマンドを生成する生成ステップと、生成ステップの処理で生成されたコマンドに従って、パケットを所定のデータ量のブロックとして、記録装置に対してDMA転送する転送ステップとを含むことを特徴とする。

【0009】

請求項4に記載の記録媒体のプログラムは、受信されたストリームを構成するパケットから、記録装置に記録するパケットを抽出する抽出ステップと、抽出ステップの処理で抽出されたパケットの記憶を制御する記憶制御手段と、記憶制御手段の処理で記憶が制御されたパケットのデータ量が、所定の容量を越えた場合、パケットをDMA転送するためのコマンドを生成する生成ステップと、生成ステップの処理で生成されたコマンドに従って、パケットを所定のデータ量のブロックとして、記録装置に対してDMA転送する転送ステップとを含むことを特徴とする。

【0010】

請求項1に記載の情報処理装置、請求項3に記載の情報処理方法、請求項4に記載の記録媒体において、受信されたストリームを構成するパケットから、記録装置に記録するパケットが抽出され、一旦、記憶され、記憶されたパケットのデータ量が、所定の容量を越えた場合、パケットをDMA転送するためのコマンドが生成され、その生成されたコマンドに従って、パケットを所定のデータ量のブロックとして、記録装置に対してDMA転送される。

【0011】

【発明の実施の形態】

図1は、デジタル衛星放送を受信するデジタル衛星放送受信装置に、蓄積デバイスとしてのハードディスクドライブ15を内蔵させたものの構成例を示している。

【0012】

このデジタル衛星放送受信装置は、図示せぬ放送局からのデジタル衛星放送番

組としてのトランスポートストリームを受信し、そのトランスポートストリームとしての画像や音声を表示等することができる他、そのトランスポートストリームを記録しておき、後で、その記録したトランスポートストリームを再生することもできるようになっている。

【0013】

即ち、アンテナ11では、デジタル衛星放送波が受信され、その受信信号は、チューナ12に出力される。チューナ12は、アンテナ11からの受信信号の復調等を行い、トランスポートストリームを得て、デスクランブラ13に供給する。デスクランブラ13は、CPU1の制御の下、チューナ12からのトランスポートストリームにかけられているスクランブルを、CPU1から供給される復号キーを用いて解き、ハードディスク制御部14に出力する。

【0014】

デスクランブラ13が出力するトランスポートストリーム（以下、適宜、受信トランスポートストリームという）は、ハードディスク制御部14のPID(Packet Identification)パーサ21およびスイッチ31に供給されるようになっている。また、スイッチ31には、受信トランスポートストリームの他、トランスミッタ26から供給される、ハードディスクドライブ15から再生されるトランスポートストリームも供給されるようになっている。

【0015】

受信トランスポートストリームを再生する場合には、スイッチ31は、そこに入力される2つのトランスポートストリーム（受信トランスポートストリームと、トランスミッタ26から供給されるトランスポートストリーム）のうちの、受信トランスポートストリームを選択し、出力トランスポートストリームとして、MVリンクIC(MVLink-IC(MPEG(Moving Picture Experts Group) Link Integrated Circuit))16に出力する。

【0016】

MVリンクIC16は、出力トランスポートストリームに対して、IEEE(Institute of Electrical and Electronics Engineers)1394シリアルバスのレイヤ構造におけるリンク層の処理等を施し、ファイIC(PHY-IC)17に出力する。あ

るいは、MVリンク IC 16 は、出力トランスポートストリームを、DEMUX (デマルチプレクサ) 18 に出力する。

【0017】

ここで、ファイ IC 17 は、IEEE1394 シリアルバスのレイヤ構造におけるリンク層の処理を行うようになっており、MVリンク IC 16 から、出力トランスポートストリームを受信した場合には、その出力トランスポートストリームを、IEEE1394 シリアルバスを介して、図示せぬ IEEE1394 機器に、アイソクロナス (Isynchronous) 転送する。

【0018】

DEMUX 18 は、図示せぬマイクロコンピュータやメモリ等を有し、MVリンク IC 16 からの出力トランスポートストリームを構成するトランスポートパケット (以下、適宜、TS パケットという) から、セクションのデータ (PAT (Program Association Table) や、PMT (Program Map Table)、トランスポートストリームのスクランブルをデスクランブルするための復号キー、その他の制御のために用いられる制御データ) が配置された TS パケットを分離し、さらに、その内容を解析して、必要な制御データを、CPU 1 に出力する。

【0019】

ここで、CPU 1 は、以上のようにして、DEMUX 18 から供給されるセクションのデータのうちの復号キーを、デスクランブラ 13 に出力し、同じく DEMUX 18 から供給されるその他のセクションのデータに基づいて、デスクランブラ 13 を制御する。

【0020】

DEMUX 18 は、出力トランスポートストリームから、制御データ (セクションのデータ) が配置された TS パケットを分離する他、ユーザが図示せぬリモートコマンド等を操作することによって選択した番組のビデオデータおよびオーディオデータ (以下、適宜、両方含めて AV データという) が配置されたパケットも分離して、AV デコーダ 19 に出力する。AV デコーダ 19 は、DEMUX 18 からの TS パケットを、MPEG2 デコードし、その結果得られる AV データを、図示せぬモニタに出力する。これにより、モニタでは、デジタル衛星放送番組としての

画像および音声が出力（表示）される。

【0021】

一方、受信トランスポートストリームを記録する場合には、スイッチ31は、やはり、そこに入力される2つのトランスポートストリーム（受信トランスポートストリームと、トランスミッタ26から供給されるトランスポートストリーム）のうちの、受信トランスポートストリームを選択し、出力トランスポートストリームとして、MVリンクIC16を経由して、DEMUX18に出力する。

【0022】

DEMUX18は、上述したように、出力トランスポートストリームから、制御データが配置されたTSパケットを分離し、そのTSパケットに配置された、必要な制御データを分離して、CPU1に出力し、CPU1は、この制御データに基づいて、デスクランブラ13を制御する。これにより、デスクランブラ13では、いま記録の対象となっているTSパケットを含むトランスポートストリームのデスクランブルが行われる。

【0023】

受信トランスポートストリームは、上述したように、PIDパーサ21にも供給され、PIDパーサ21は、そこに供給される受信トランスポートストリームを構成するTSパケットのPIDを参照し、記録の対象となっている番組についてのTSパケットだけをレシーバ22に供給する（残りのTSパケットは廃棄される）。レシーバ22は、サイクルタイマ27が出力するクロックに基づくタイムスタンプを、PIDパーサ21からのTSパケットに付加し、入力FIFO(First In First Out)23に供給する。即ち、サイクルタイマ27は、所定周波数のクロックを、レシーバ22およびトランスミッタ26に出力しており、レシーバ22は、サイクルタイマ27が出力するクロックに同期したタイムスタンプを、PIDパーサ21からのTSパケットに付加して、入力FIFO23に出力する。入力FIFO23は、レシーバ22からのTSパケットを順次記憶し、コントローラ28の制御にしたがって、記憶したTSパケットを、その記憶した順に、ハードディスクIF(Interface)24に出力する。

【0024】

ここで、コントローラ 2 8 は、マイクロコンピュータ（マイコン）を内蔵し、入力 FIFO 2 3 または出力 FIFO 2 5 における記憶の状態(status)を監視し、それぞれにおけるデータの読み書きを制御するようになっている。また、コントローラ 2 8 は、ハードディスク I F 2 4 を制御するようになっている。

【 0 0 2 5 】

ハードディスク I F 2 4 は、入力 FIFO 2 3 から T S パケットを受信すると、その T S パケットを、ハードディスクドライブ 1 5 に出力する。ハードディスクドライブ 1 5 では、ハードディスクコントローラ 4 1 において、ハードディスク I F 2 4 からの T S パケットが受信され、ハードディスク 4 2 に記録される。

【 0 0 2 6 】

次に、以上のようにして、ハードディスク 4 2 に記録された T S パケットを再生する場合、ハードディスクコントローラ 4 1 において、ハードディスク 4 2 に記録された T S パケットのシーケンスとしてのトランスポートストリーム（以下、適宜、再生トランスポートストリームという）が読み出され、ハードディスク制御部 1 4 に出力される。

【 0 0 2 7 】

ハードディスク制御部 1 4 においては、ハードディスク I F 2 4 において、再生トランスポートストリームが受信され、出力 FIFO 2 5 に供給される。出力 FIFO 2 5 は、ハードディスク I F 2 4 からの再生トランスポートストリームを構成する T S パケットを順次記憶し、コントローラ 2 8 の制御にしたがって、記憶した T S パケットを、その記憶した順に、トランスミッタ 2 6 に出力する。

【 0 0 2 8 】

トランスミッタ 2 6 は、サイクルタイマ 2 7 から供給されるクロックに同期して、出力 FIFO 2 5 からの T S パケットのシーケンスとしての再生トランスポートストリームを、スイッチ 3 1 に出力する。即ち、PIDパーサ 2 1 が出力する T S パケットのシーケンスであるトランスポートストリームを、ハードディスクドライブ 1 5 に記録する場合においては、そのトランスポートストリームを構成する T S パケットどうしの時間間隔が損なわれることがある。そこで、トランスミッタ 2 6 は、レシーバ 2 2 が T S パケットに付加したタイムスタンプを参照し、T

S パケットどうしの時間間隔を元の状態に戻すようなタイミングで、TS パケットを、スイッチ 31 に出力するようになっている。

【0029】

ハードディスク 42 に記録された TS パケットを再生する場合においては、スイッチ 31 は、トランスミッタ 26 が出力する再生トランスポートストリームを選択し、出力トランスポートストリームとして、MV リンク IC 16 に出力する。以下、この出力トランスポートストリームとしての再生トランスポートストリームは、受信トランスポートストリームを処理する場合と同様にして、ファイ IC 17 を介して、IEEE1394 シリアルバス上をアイソクロナス転送され、あるいは、DEMUX 18 およびデコーダ 19 を介して、モニタに出力される。

【0030】

なお、CPU 1 は、バス 3 に接続されており、同じくバス 3 に接続されたシステムメモリ 2 に記憶されたプログラムを読み出して実行することで、デスクランブラ 13 の制御その他の各種の処理を行うようになっている。システムメモリ 2 は、CPU 1 に各種の処理を行わせるためのプログラムを記憶している。

【0031】

また、ハードディスク制御部 14 を構成するホスト IF 29 は、バス 3 を介して、CPU 1 と通信するためのインタフェースとして機能するようになっている。このホスト IF 29 と、上述のハードディスク IF 24 との間に設けられた入出力バッファ 30 は、それらの間でやりとりされるデータを、一時記憶するようになっている。

【0032】

以上から、CPU 1 は、バス 3、ホスト IF 29、入出力バッファ 30、およびハードディスク IF 24 を介して、ハードディスクドライブ 15 にアクセスすることができるようになっており、これにより、CPU 1 は、ハードディスクドライブ 15 に、ファイルとしてのデータを記録し、また、ハードディスクドライブ 15 に記録したファイルとしてのデータを読み出すことができるようになっている。

【0033】

図 1 に示したように構成されるデジタル衛星放送受信装置は、ハードディスクドライブ 1 5 に、受信した A V ストリームを記録させる際、ホスト CPU である CPU 1 が、DMA のコマンドのセット、LBA のブロック転送毎の設定、転送開始タイミングの設定などを行っていた。その為、CPU 1 の負担が大きく、受信した A V ストリームを連続的に記録できない場合が想定された。

【 0 0 3 4 】

そこで、図 2 は、本発明を適用したデジタル衛星放送受信装置の一実施の形態の構成を示している。なお、図中、図 1 における場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。即ち、図 2 のデジタル衛星放送受信装置は、ハードディスク制御部 1 4 に替えて、ハードディスク制御部 5 0 が設けられている他は、図 1 のデジタル衛星放送受信装置と同様に構成されている。

【 0 0 3 5 】

図 3 は、図 2 のハードディスク制御部 5 0 の構成例を示している。なお、図中、図 1 のハードディスク制御部 1 4 における場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

【 0 0 3 6 】

デスクランブラ 1 3 からの受信トランスポートストリームは、スイッチ 3 1 および入力 PID パーサ 5 1 に供給されるようになっている。入力 PID パーサ 5 1 は、デスクランブラ 1 3 からの受信トランスポートストリームを構成する T S パケットから、記録のみすべき T S パケット（以下、適宜、記録用パケットという）、記録するとともに、制御に用いる T S パケット（以下、適宜、記録／制御用パケットという）、制御にのみ用いる T S パケット（以下、適宜、制御用パケットという）、および廃棄すべき T S パケット（以下、適宜、廃棄用パケットという）を抽出し、記録用パケットおよび記録／制御用パケットをタイムスタンプ付加部 5 6 に出力するとともに、制御用パケットを MUX 5 3 に出力するようになっている。さらに、入力 PID パーサ 5 1 は、廃棄用パケットを廃棄するようになっている。

【 0 0 3 7 】

出力PIDパーサ52は、タイムスタンプ検出部54が出力する、ハードディスクドライブ15から再生された再生トランスポートストリームを受信し、その再生トランスポートストリームを構成するTSパケットから、再生すべきTSパケット（以下、適宜、再生用パケットという）と、廃棄すべきTSパケット（廃棄用パケット）とを抽出するようになっている。さらに、出力PIDパーサ52は、再生用TSパケットを、MUX53に出力するとともに、廃棄用パケットを廃棄するようになっている。

【0038】

また、出力PIDパーサ52は、MUX53と通信することにより、入力PIDパーサ51がMUX53に出力するTSパケットとPIDが等しい再生用TSパケットを検出し、その再生用TSパケットのPIDを、異なるPIDに変更するようになっている。MUX53は、入力PIDパーサ51が出力するTSパケットと、出力PIDパーサ52が出力するTSパケットとを多重化し、スイッチ31に出力するようになっている。

【0039】

タイムスタンプ付加部56および入力タイマー57は、図1のサイクルタイム27およびレシーバ22と同様の処理、即ち、タイムスタンプ付加部56は、入力タイマー57が出力するクロックに基づくタイムスタンプを入力されたTSパケットに付加する。タイムスタンプ付加部56によりタイムスタンプが付加されたTSパケットは、アービター58に入力される。アービター58に入力されたTSパケットは、SDRAMコントローラ59の制御の下、SDRAM60の入力FIFO61に記憶される。SDRAMコントローラ59は、FIFOコントローラ63の指示により、SDRAM60の入力FIFO61と出力FIFO62のパケットの書き込み、および読み出しを制御する。

【0040】

入力FIFO61に記憶されたTSパケットは、SDRAMコントローラ59の制御の下で読み出され、アービター58を介してインデックス付加部64に出力される。インデックス付加部64は、後述するインデックスを付加し、セクタ67に出力する。セクタ67には、バスインタフェース29を介して入力されたデー

タや、DMAコントローラ68からのコマンドなども入力される。セクタ67は、入力されたTSパケット、データ、コマンドなどを選択し、所定の装置に出力する。例えば、インデックス付加部64から出力され、セクタ67に入力されたTSパケットは、ハードディスクIF24に出力され、さらに、ハードディスクドライブ15に出力され、記録される。

【0041】

このようにしてハードディスクドライブ15に記録されTSパケットを再生する場合、ハードディスクコントローラ41において、ハードディスク42に記録されたTSパケットのシーケンスとしての再生トランスポートストリームが読み出され、ハードディスク制御部50に出力される。ハードディスク制御部50に、ハードディスクIF24を介して入力された再生トランスポートストリームは、セクタ67を介してインデックス検出部66に出力される。

【0042】

インデックス検出部66は、入力された再生トランスポートストリームから、インデックス付加部64において付加されたインデックスを検出する。検出されたインデックスは、DMAコントローラ68内のレジスタに記憶され、DMAコントローラ68は、その記憶されたインデックスをもとに、DMAコントローラ68を制御することも可能である。

【0043】

インデックス検出部66によりインデックスが検出され、取り除かれた再生トランスポートストリームは、アービター58、SDRAMコントローラ59を介して、SDRAM60の出力FIFO62に、一旦記憶される。出力FIFO62に記憶された再生トランスポートストリームは、SDRAMコントローラ59の制御の下、アービター58に読み出され、さらに、タイムスタンプ検出部54に出力される。タイムスタンプ検出部54に入力された再生トランスポートストリームは、タイムスタンプが検出され、そのタイムスタンプに従って、出力PIDパーサ52に出力される。さらに、上述したような処理が、MUX53およびスイッチ31により行われることにより、MVLINK-IC16に出力される。

【0044】

図4は、DMAコントローラ68の内部構成を示す図である。バスインタフェース29とは、DMAコントローラ68内の内部バス81が接続されている。内部バス81には、コマンドセル82、コマンドセル82を制御するコマンドアービター83、ホストCPUであるCPU1を介してデータを授受する際の動作を制御するPIO (Programmed I/O) ステートマシーン84、およびDMA転送する際のデータをバッファリングするホストデータDMAバッファ85が接続されている。

【0045】

DMAステートマシーン86は、コマンドセル82と連携し、DMA転送を実行するためのレジスタやコマンドの準備を行う。IDE (Intelligent Drive Electronics) ステートマシーン87は、IDEドライブにより接続されるハードディスクドライブ15の制御を行うものである。PIOステートマシーン84、DMAステートマシーン86、およびIDEステートマシーン87は、互いにコントロール線が張られており、それぞれのステートマシーンが、状況に応じた制御を行えるようになっている。

【0046】

PIOステートマシーン84と、DMAステートマシーン86から出力された信号は、セクタ88に供給され、どちらか一方の信号が、論理積回路89に供給される。論理積回路89には、IDEステートマシーン87からの信号も供給され、それらの供給された信号から論理積がとられ、その結果が、内部バス91に出力される。内部バス91には、IDEステートマシーン87からのコントロール線も張られており、IDEのコントロール信号も供給される。

【0047】

さらに、内部バス91には、セクタ90からの信号も供給される。セクタ90は、PIOステートマシーン84からのデータ、DMAステートマシーン86からのデータ、または、FIFOコントローラ63からのデータの内、1つを選択し、内部バス91に出力する。

【0048】

図5は、コマンドセル82の内部構成を示す図である。内部バス101には、ホストコマンドバッファ102とホストデータコマンドバッファ103が接続さ

れている。詳細は後述するが、ホストコマンドバッファ 1 0 2 と LBA 決定部 1 0 4 から出力されるデータから、後段のネクストコマンドバッファ 1 0 5 に記憶されるデータが生成される。ネクストコマンドバッファ 1 0 5 に記憶されたデータは、新たなデータが入力されると、記憶されていたデータをカレントコマンドバッファ 1 0 6 に出力し、記憶させる。同様に、カレントコマンドバッファ 1 0 6 に新たなデータ入力されると、記憶されていたデータは、プレビウスコマンドバッファ 1 0 7 に出力され、記憶される。

【 0 0 4 9 】

コマンドセル 8 2 は、PIO アクセスにて DMA 転送を初期化するためのホストコマンドバッファ 1 0 2 をもち、カレントの DMA 転送が終了する毎に、コマンドバッファの内容を移行する FIFO 的な役割を持っている。なお、各コマンドバッファは、書き込み用と読み出し用、それぞれ用意する必要があるが、図 5 においては、1 つしか書き表していない。この FIFO 的な構成のコマンドバッファにより、ネクスト、カレント、プレビアスの LBA をインデックスとして 1 クラスタ毎の付加することが可能となる。

【 0 0 5 0 】

ネクストコマンドバッファ 1 0 5、カレントコマンドバッファ 1 0 6、および、プレビウスコマンドバッファ 1 0 7 に記憶されたデータは、それぞれ、セレクト 1 0 8 に供給される。セレクト 1 0 8 には、ホストデータコマンドバッファ 1 0 3 からのデータも供給され、それらの供給されたデータの内から、1 つを選択し、DMA ステートマシーン 8 6 へ出力する。

【 0 0 5 1 】

図 6 は、LBA 決定部 1 0 4 の内部構成を示す図である。LBA 決定部 1 0 4 は、カウンタアップ部 1 2 1、LBA 比較用レジスタ 1 2 2、および比較部 1 2 3 から構成されている。

【 0 0 5 2 】

ここで、上述したような構成をもつ DMA コントローラ 6 8 を、機能的なブロックで表すと、図 7 のようになる。FIFO の容量により DMA 転送を開始させる制御マシン 1 3 1 は、主に、FIFO コントローラ 6 3 とコマンドアービター 8 3 から構成

される。DMA転送の準備をする制御マシン132は、主に、コマンドセル82やDMAステートマシーン86から構成される。PIOアクセスをつかさどる制御マシン133は、PIOステートマシーン84である。DMA転送をつかさどる制御マシン134は、主に、IDEステートマシーン87から構成され、コマンドバッファ135は、主に、コマンドセル82から構成される。LBA決定回路136は、LBA決定部104である。

【0053】

次に、図8のフローチャートを参照して、FIFOの容量によりDMA転送を開始させる制御マシン131の動作について説明する。DMA転送は、128Kbyte単位で行われるとし、この128Kbyte単位を1クラスタと定義する。勿論、1クラスタを128Kbyte以下で定義しても良い。

【0054】

ハードディスクドライブ15に受信したトランスポートストリームの書き込みを行う場合、ステップS1において、コマンドアービター83は、FIFOコントローラ63を介して、入力FIFO61の所定値以上の容量に、トランスポートストリームが記憶されているか否かを判断する。所定値とは、例えば、入力FIFO61の80%の容量であり、ステップS1においては、80%以上の容量に、既にトランスポートストリームのデータが書き込まれた状態であるか否かが判断される。

【0055】

ステップS1において、入力FIFO61の、所定容量以上に、トランスポートストリームが記憶されていると判断された場合、ステップS2に進む。ステップS2において、DMA転送開始の指示が、DMA転送の準備をする制御マシン132に対して出される。また、LBA決定回路136に対して、スタートLBAが供給される。その結果、ステップS3において、DMA転送の準備をする制御マシン132が、調停を行い、その調停が受け入れられたか否かがステップS4において判断される。

【0056】

ステップS4において、調停が受け入れられなかったと判断された場合、ステップS2以下の処理が、受け入れられるまで繰り返し行われる。一方、ステップ

S 4 において、調停が受け入れられたと判断された場合、ステップ S 5 に進み、終了ステータスであるか否かが判断される。終了ステータスは、DMA 転送の準備をする制御マシン 1 3 2 により発行される。終了ステータスであると判断されるまで、ステップ S 5 の処理は繰り返され、終了ステータスであると判断されると、ステップ S 6 に進み、LBA の更新が行われる。

【 0 0 5 7 】

LBA の更新は、LBA 決定部 1 0 4 (LBA 決定回路 1 3 6) により行われる。カウントアップ部 1 2 1 は、スタート LBA が入力されることにより、カウントアップを開始する。カウントアップ部 1 2 1 は、1 クラスタ分の転送が終了するたびに、カウントアップし、1 クラスタ分の LBA を設定する。LBA 比較用レジスタ 1 2 2 は、比較する LBA と、その次の LBA をセットし、フラグを有効にすることで、自動的にセットされる値を変更することが可能であるようにされている。このような機能を設けることにより、トランスポートストリームの記憶領域の最大 LBA を、このレジスタにセットしておくことにより、自動的に、記憶容量の開始 LBA に戻すことが可能となる。

【 0 0 5 8 】

このようにして更新される LBA は、インデックス付加部 6 4 に供給され、処理対象となっているトランスポートストリームがハードディスクドライブ 1 5 に記憶される際に付加される。図 8 に示したフローチャートの処理は、受信されたトランスポートストリームがハードディスクドライブ 1 5 に記憶されるときに繰り返し行われる。

【 0 0 5 9 】

図 9 は、ハードディスクドライブ 1 5 に記憶されているトランスポートストリームを読み出す際の処理について説明するフローチャートである。基本的に、図 8 のフローチャートを参照して説明した書き込みの際の処理と同様であるので、その説明は省略する。ただし、ステップ S 1 1 の処理は、出力 FIFO 6 2 に記憶されているトランスポートストリームのデータ量が、例えば、所定値として 2 0 % 以下になったか否かが判断される。所定値以下になったと判断された場合、ステップ S 1 2 以降の処理に移る。

【 0 0 6 0 】

ここで、ハードディスクドライブ 1 5 から読み出されるトランスポートストリームのデータについて、図 1 0 を参照して説明する。所定のデータに対して、次に読み出す LBA を、既に読み出されたブロックのインデックス情報内にあるネクスト LBA の値から読み込みをセットする方法も可能である。そのような方法の場合、割り込みをインデックス情報の読み込み完了時点で CPU 1 に通知することにより、図 1 0 に示したタイミングでネクスト LBA のダイナミックな変更が可能となる。

【 0 0 6 1 】

図 1 0 において、a はハードディスクドライブ 1 5 から読み出されたインデックス内の LBA リンクリストが実際に再生ネクスト LBA レジスタ（不図示）にロードされるタイミングである。そのタイミングにて、割り込みを通知することにより、ホストは b にてネクストログ、または、カレントログの読み出しを行い、ダイナミックに、次に読み出すクラスタの LBA を変更したい場合には、c にて書き込みを行う。d は、出力 FIFO 6 2 からの、容量の半分ほどを記録されたこと示すデータを参照して DMA コントローラ 6 8 がハードディスクドライブ 1 5 に自動的にコマンドを発行するタイミングである。

【 0 0 6 2 】

書き込みまたは読み出し用の DMA コマンドバッファに CPU 1 が LBA を設定し、DMA をコントロールすることも可能である。このような場合、各コマンドセットレジスタに値を設定後、コントロールレジスタの各コマンド Exec ビットに 1 を設定することによりコマンドが実行される。また、このとき、設定により FIFO フラグのトリガにより、上述したようにハードディスクドライブ 1 5 との DMA 転送を自動的に（CPU 1 の制御によらずに）行うことも可能である。このようなときは、コントロールレジスタの各 Valid ビットが 1 の時に、コマンドバッファの内容に従って、交互に実行される。

【 0 0 6 3 】

再生時に、データが出力 FIFO 6 2 に入力されてから何らかの原因により、1 クラスタのデータの全てが読み出される前に終了されてしまった場合、出力 FIFO 6

2 のカレントアドレスポインタを戻し、結果的に廃棄することができる。これにより、エラーが発生した場合でも、CPU 1 を介在することなく AV ストリームの再生正常状態に復帰させることが可能となる。

【0064】

次に、図 11 のフローチャートを参照して、DMA 転送の準備をする制御マシン 132 と、DMA 転送の準備をする制御マシン 132 にコマンドを供給するコマンドバッファ 135 の動作について説明する。FIFO の容量により DMA 転送を開始させる制御マシン 131 からの開始の指示により、ステップ S21 において、ステータスが読み出される。ステップ S22 において、読み出されたステータスを基に、アクセス可能であるか否かが判断される。アクセス可能であると判断されるまで、ステップ S22 の処理が繰り返され、アクセス可能であると判断されると、ステップ S23 に進む。

【0065】

ステップ S23 において、デバイス／ヘッド・レジスタが書き込まれる。ここで、レジスタについて説明する。図 12 (A) は、IDE のレジスタの仕様で、レジスタの一覧を示す図である。図 12 (A) 内のコントロール・ブロック・レジスタのうち、デバイス・コントローラは、図 12 (B) に示すようなレジスタである。

【0066】

図 12 (A) 内のコマンド・ブロック・レジスタのうち、データは、図 12 (C) に示すようなレジスタであり、セクタ・ナンバは、図 12 (D) に示すようなレジスタである。さらに、図 12 (A) 内のコマンド・ブロック・レジスタのうち、シリンダ・ローとシリンダ・ハイは、図 13 (A) に示すようなレジスタであり、デバイス／ヘッドは、図 13 (B) に示すようなレジスタであり、セクタ・カウンタは、図 13 (C) に示すようなレジスタであり、代替ステータス、ステータスは、図 13 (D) に示すようなレジスタである。

【0067】

上述したようなレジスタがあり、そのうち、ステップ S23 においては、デバイス／ヘッド・レジスタが書き込まれる。ステップ S24 において、ステータス

が読み出され、ステップ S 2 5 において、読み出したステータスの結果、ビジーな状態であるか否かが判断される。ビジーな状態ではないと判断されるまで、ステップ S 2 5 の処理が繰り返され、ビジーな状態ではないと判断された場合、ステップ S 2 6 に進む。

【 0 0 6 8 】

ステップ S 2 6 において、シリンダ・ロー・レジスタの書き込みが行われ、ステップ S 2 7 において、シリンダ・ハイ・レジスタの書き込みが行われる。ステップ S 2 8 において、セクタ・ナンバ・レジスタの書き込みが行われ、ステップ S 2 9 において、セクタ・カウント・レジスタの書き込みが行われる。このようにして、書き込みが順次行われた各レジスタは、ステップ S 3 0 において、DMA ライト、または、DMA リードのコマンドとして書き込まれる。

【 0 0 6 9 】

DMA ライト、または DMA リードのコマンドを、DMA 転送の準備をする制御マシン 1 3 2 は、ステップ S 3 1 において、DMA 転送をつかさどる制御マシン 1 3 4 に発行し、DMA 転送をつかさどる制御マシン 1 3 4 は、受信したコマンドに従って、DMA 転送を開始する。ステップ S 3 2 において、DMA 転送の準備をする制御マシン 1 3 2 は、終了ステータスであるか否かを判断し、終了ステータスであると判断された場合、ステップ S 3 3 に進む。

【 0 0 7 0 】

ステップ S 3 3 において、DMA 転送の準備をする制御マシン 1 3 2 は、終了ステータスを受け、FIFO の容量により DMA 転送を開始させる制御マシン 1 3 1 に対して、DMA 転送の終了を知らせるデータを出力する。図 1 1 に示したフローチャートの処理は、DMA 転送が開始される毎に、繰り返し行われる。

【 0 0 7 1 】

このように、DMA 転送用のコマンドバッファを備え、LBA を更新する機能を備えることにより、ホスト CPU の負担を軽減させることが可能となる。また、AV ストリームが欠落することなく、録画、再生が可能となる。

【 0 0 7 2 】

上述した一連の処理は、ハードウェアにより実行させることもできるが、ソフ

トウェアにより実行させることもできる。一連の処理をソフトウェアにより実行させる場合には、そのソフトウェアを構成するプログラムが専用のハードウェアに組み込まれているコンピュータ、または、各種のプログラムをインストールすることで、各種の機能を実行することが可能な、例えば汎用のパーソナルコンピュータなどに、記録媒体からインストールされる。

【0073】

この記録媒体は、図14に示すように、デジタル衛星放送受信装置にドライブ140を設け、そのデジタル衛星放送受信装置とは別に、ユーザにプログラムを提供するために配布される、プログラムが記録されている磁気ディスク151（フロッピディスクを含む）、光ディスク152（CD-ROM（Compact Disk-Read Only Memory）、DVD（Digital Versatile Disk）を含む）、光磁気ディスク153（MD（Mini-Disk）を含む）、若しくは半導体メモリ154などよりなるパッケージメディアにより構成されるだけでなく、コンピュータに予め組み込まれた状態でユーザに提供される、プログラムが記憶されているROMやハードディスク15などでも良い。

【0074】

なお、本明細書において、媒体により提供されるプログラムを記述するステップは、記載された順序に従って、時系列的に行われる処理は勿論、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

【0075】

また、本明細書において、システムとは、複数の装置により構成される装置全体を表すものである。

【0076】

【発明の効果】

以上の如く、請求項1に記載の情報処理装置、請求項3に記載の情報処理方法、請求項4に記載の記録媒体によれば、受信されたストリームを構成するパケットから、記録装置に記録するパケットを抽出し、一旦、記憶し、記憶されたパケットのデータ量が、所定の容量を越えた場合、パケットをDMA転送するためのコ

マンドを生成し、その生成されたコマンドに従って、パケットを所定のデータ量のブロックとして、記録装置に対してDMA転送するようにしたので、ホストCPUの負担を軽減させることが可能となる。

【図面の簡単な説明】

【図 1】

ハードディスクドライブ 1 5 を内蔵させたデジタル衛星放送受信装置の構成例を示すブロック図である。

【図 2】

本発明を適用したデジタル衛星放送受信装置の一実施の形態の構成例を示すブロック図である。

【図 3】

図 2 のハードディスク制御部 5 0 の構成例を示すブロック図である。

【図 4】

図 3 のDMAコントローラ 6 8 の構成を示すブロック図である。

【図 5】

図 4 のコマンドセル 8 2 の構成を示すブロック図である。

【図 6】

図 5 のLBA決定部 1 0 4 の構成を示すブロック図である。

【図 7】

DMAコントローラ 6 8 の機能ブロック図である。

【図 8】

DMAコントローラ 6 8 の書き込み動作を説明するフローチャートである。

【図 9】

DMAコントローラ 6 8 の読み出し動作を説明するフローチャートである。

【図 1 0】

読み出しのタイミングについて説明する図である。

【図 1 1】

DMAコントローラ 6 8 のDMA転送の際に行われる動作を説明するフローチャートである。

【図 1 2】

レジスタについて説明する図である。

【図 1 3】

レジスタについて説明する図である。

【図 1 4】

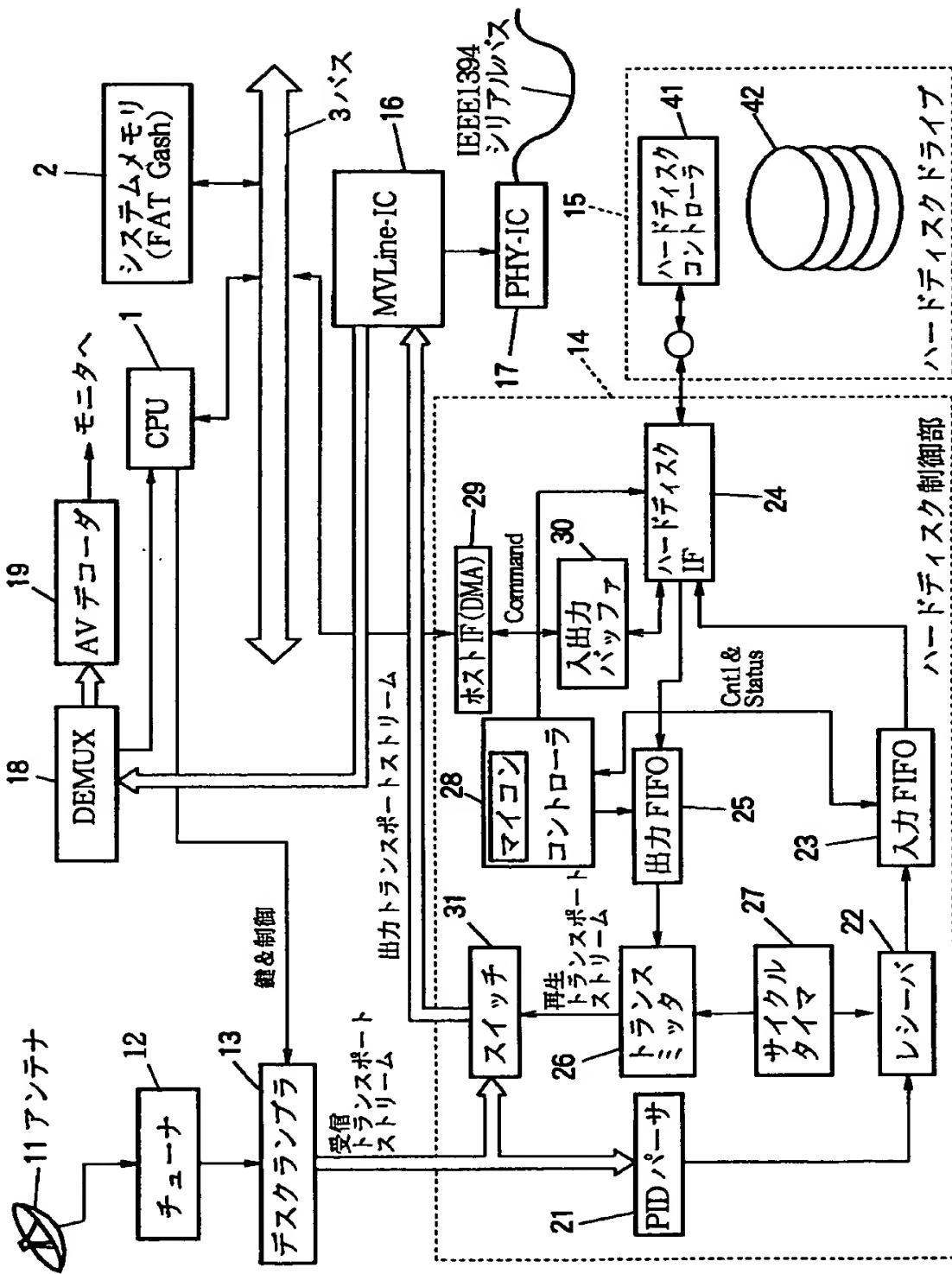
媒体を説明する図である。

【符号の説明】

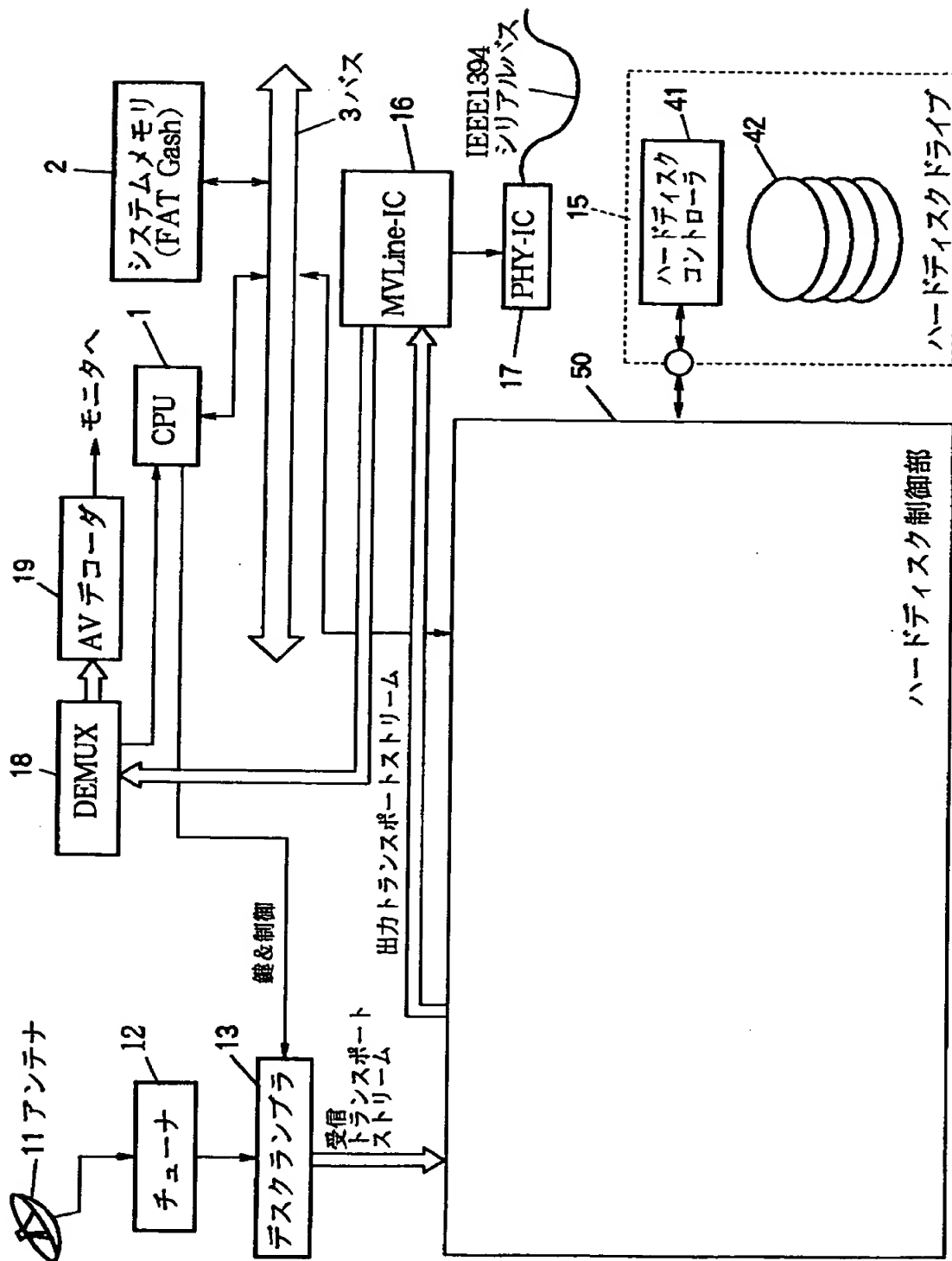
1 CPU, 2 システムメモリ, 3 バス, 11 アンテナ, 12 チューナ, 13 デスクランブラ, 15 ハードディスクドライブ, 16 MVリンクIC, 17 ファイIC, 18 DEMUX, 19 AVデコーダ, 22 レシーバ, 23 入力FIFO, 24 ハードディスクIF, 25 出力FIFO, 26 トランスミッタ, 27 サイクルタイマ, 28 コントローラ, 29 ホストIF, 30 入出力バッファ, 31 スイッチ, 41 ハードディスクコントローラ, 42 ハードディスク, 51 入力PIDパーサ, 52 出力PIDパーサ, 53 MUX, 54 タイムスタンプ検出部, 56 タイムスタンプ付加部, 58 アービター, 64 インデックス付加部, 66 インデックス検出部, 67 セレクタ

【書類名】 図面

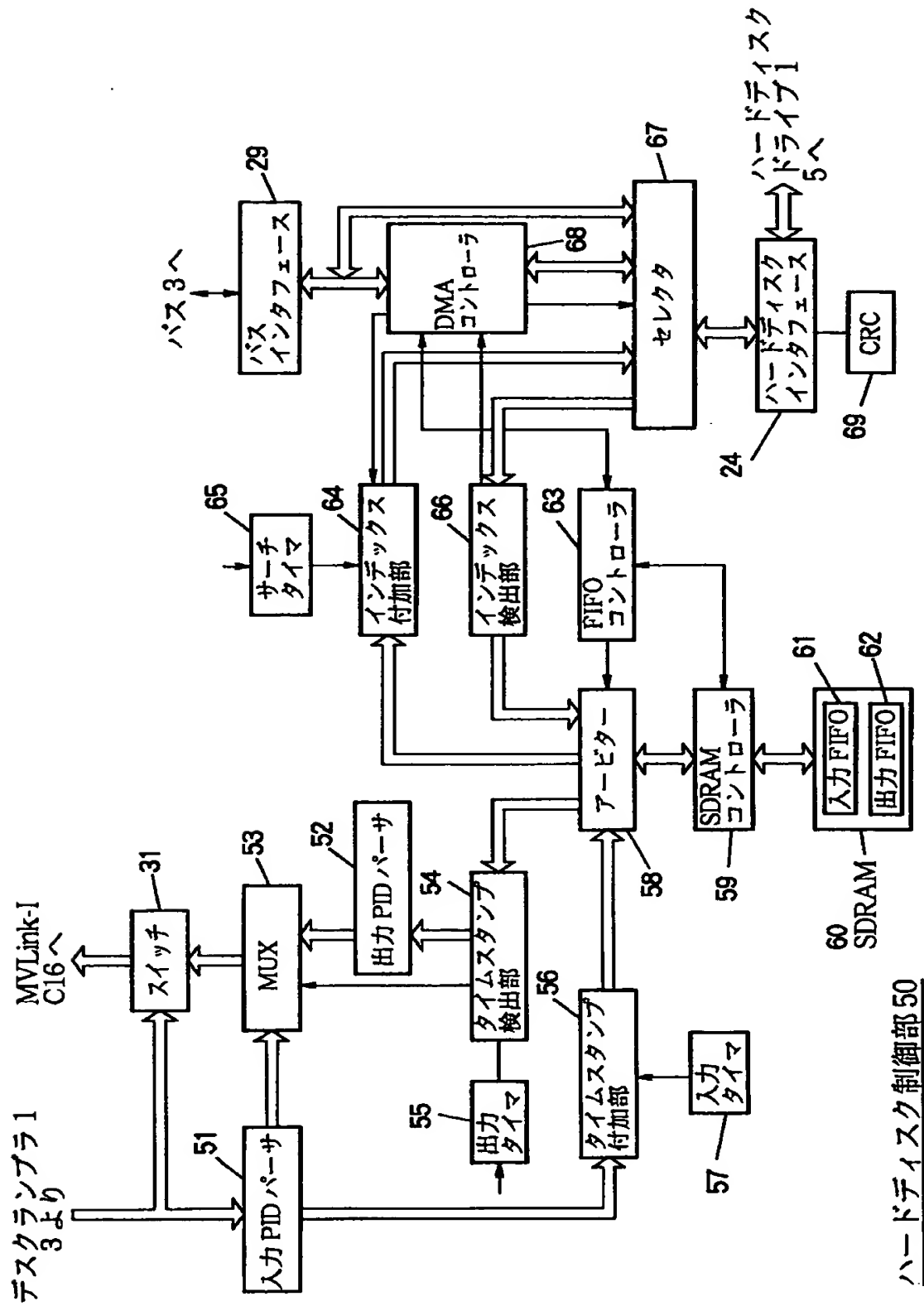
【図 1】



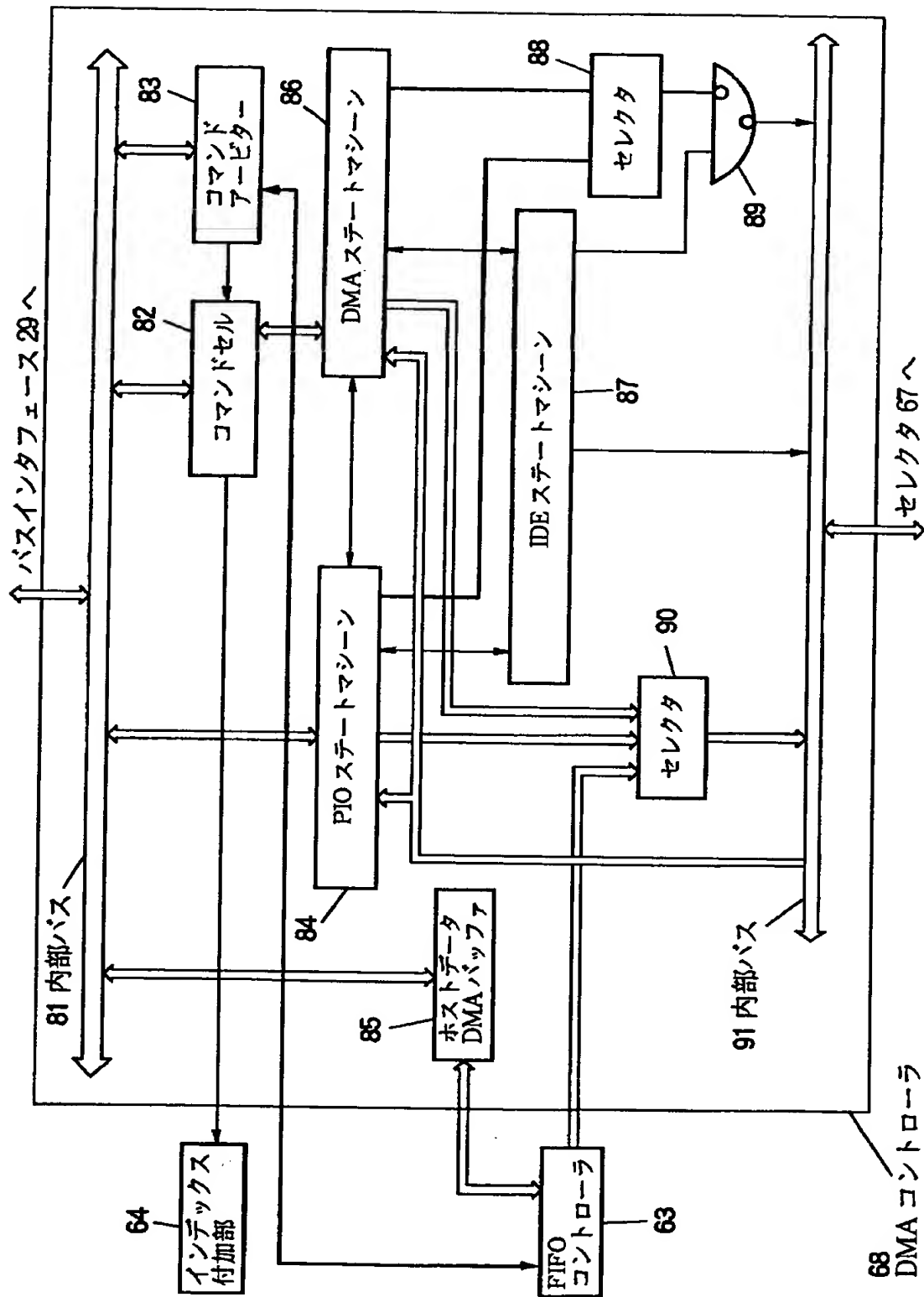
【図 2】



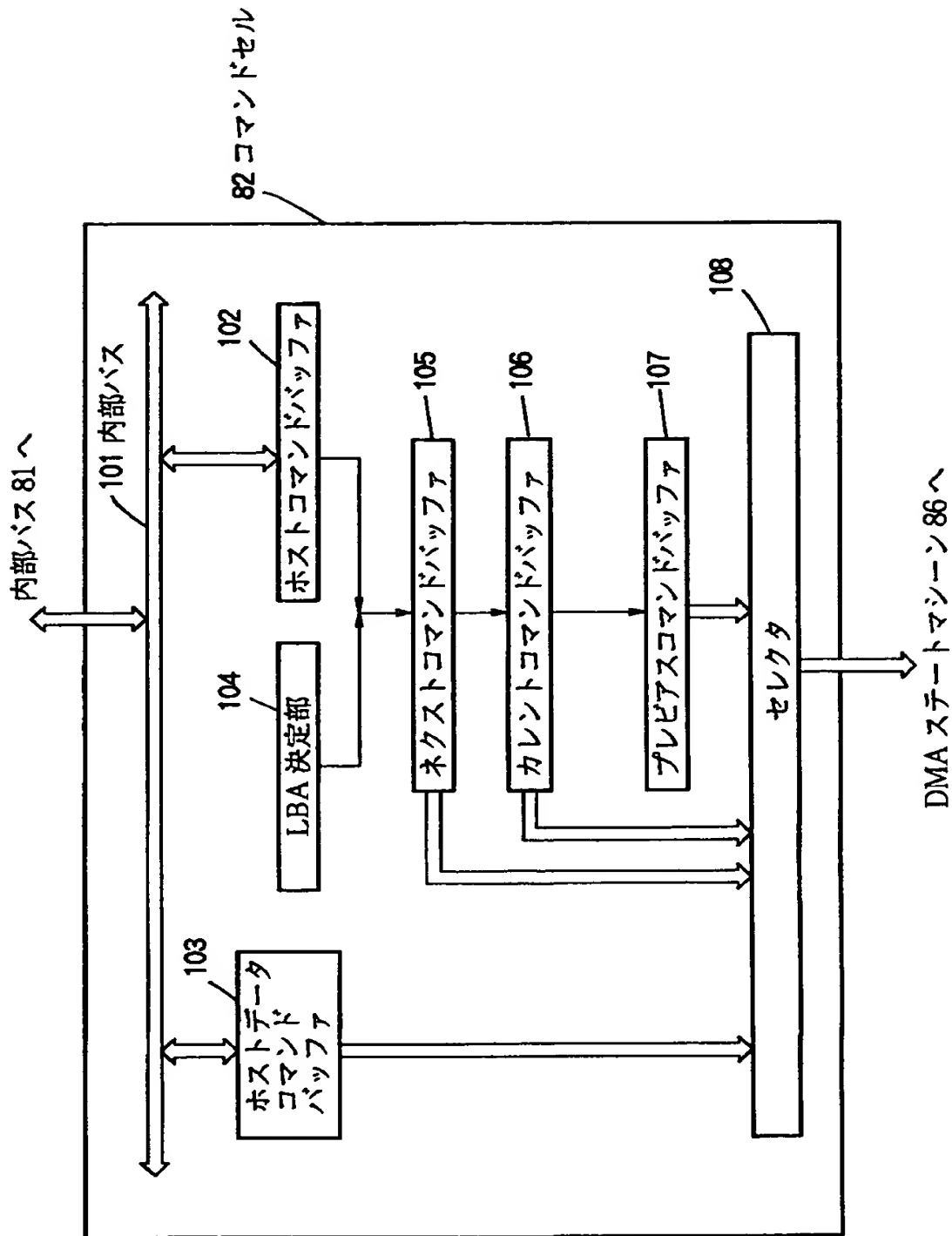
【図 3】



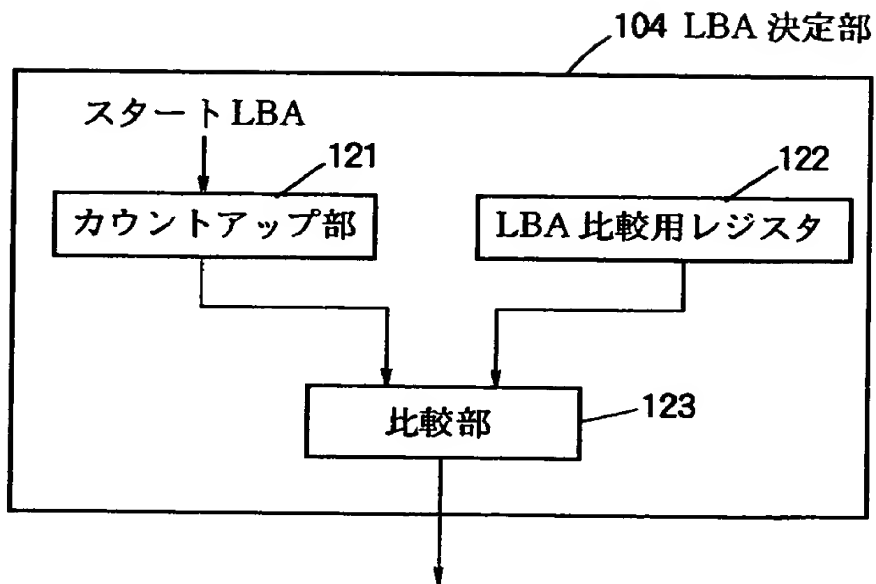
【図 4】



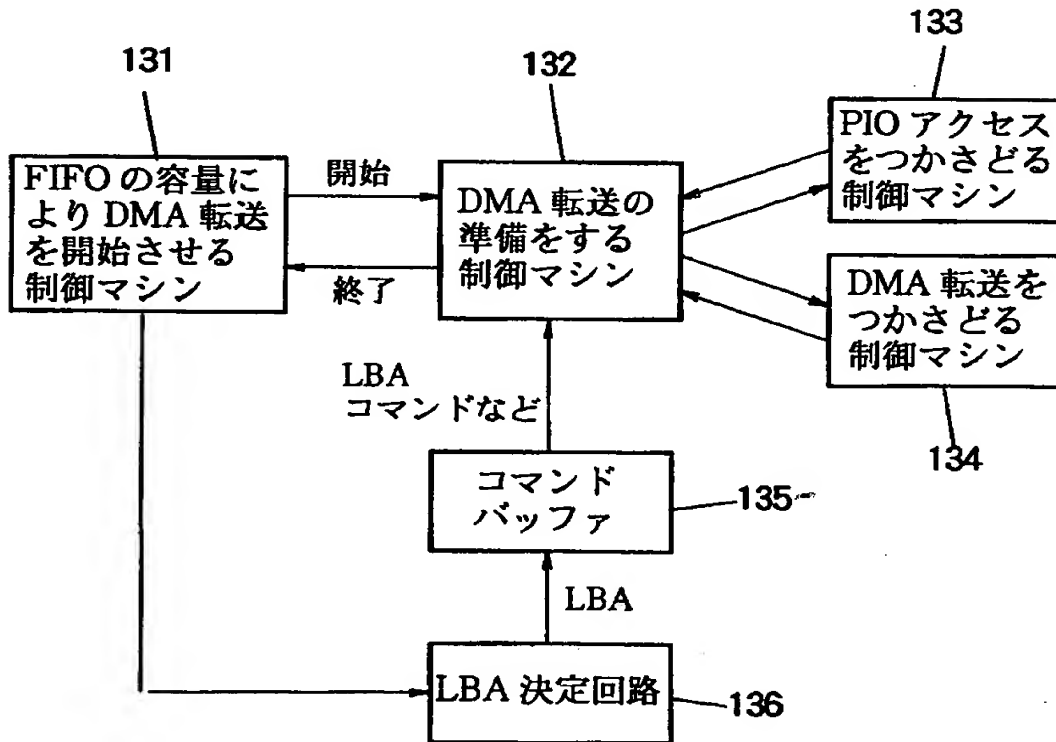
【図 5】



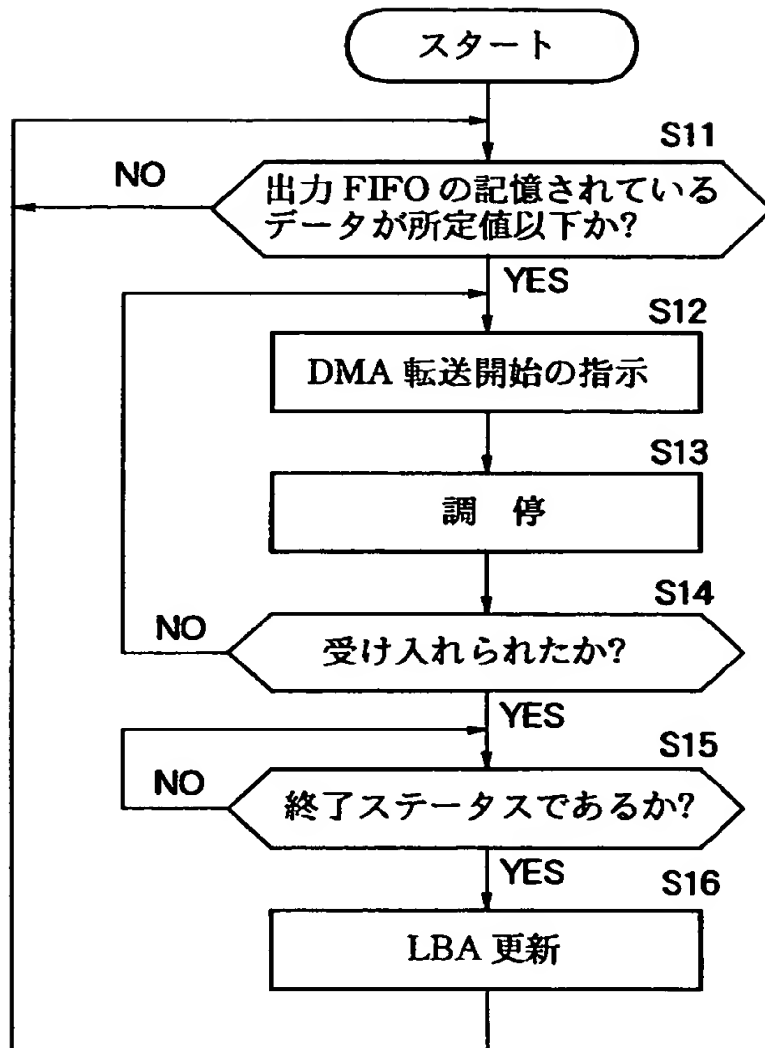
【図 6】



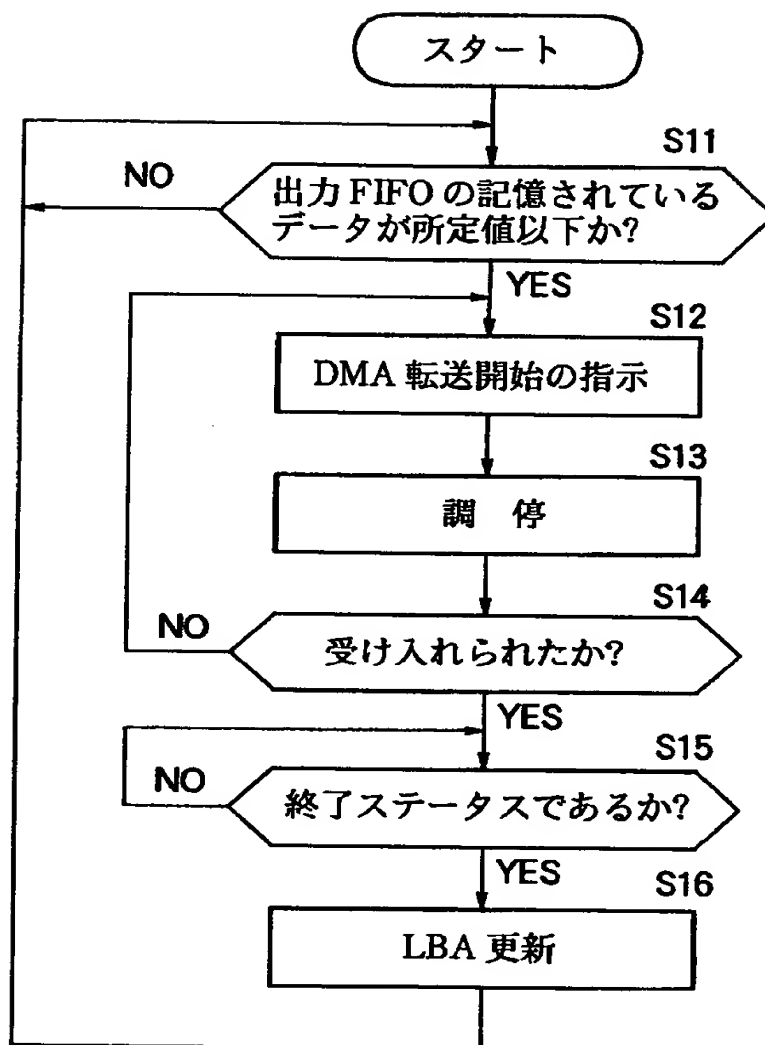
【図 7】



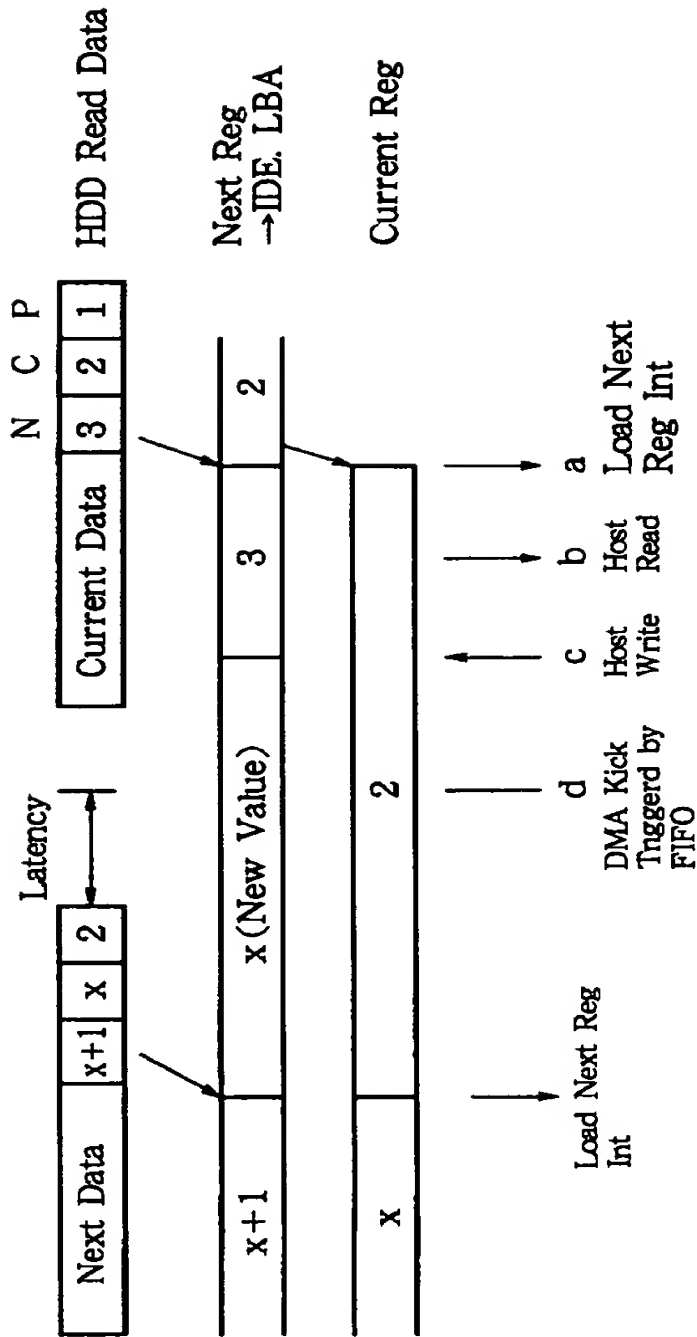
【図 8】



【図 9】

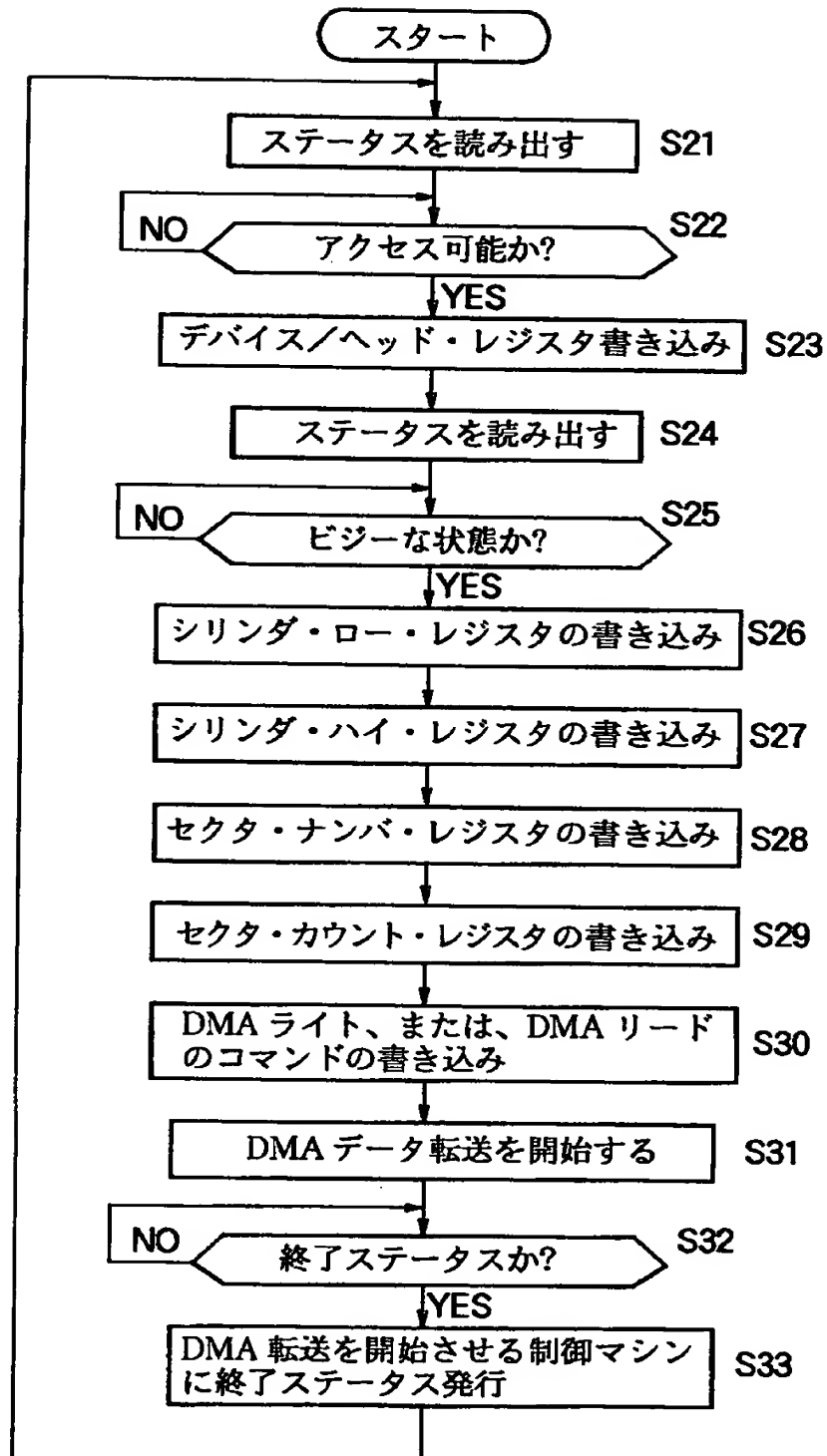


【図 1 0】



N : Next LBA Address
C : Current LBA Address
P : Previous LBA Address

【図 1 1】



【図 1 2】

アドレス(注1)					レジスタ	
CS1	CS0	DA2	DA1	DA0	ライト	リード
コントロール・ブロック・レジスタ						
L	H	H	H	L	デバイス・コントロール	代替ステータス
L	H	H	H	H	使用しない	ドライバ・アドレス
コマンド・ブロック・レジスタ						
H	L	L	L	L	データ	
H	L	L	L	H	ワイヤチャ	エラー
H	L	L	L	L	セクタ・カウンタ	
H	L	L	L	H	セクタ・ナンバ	
H	L	L	L	L	シリンダ・ロー	
H	L	L	L	H	シリンダ・ハイ	
H	L	L	L	L	デバイス/ヘッド	
H	L	L	L	H	コマンド	ステータス

注1: CS0, CS1は負論理のため

L=アサート、H=ネゲート

SRST: ソフトウェア・リセット
nIEN: 割り込み許可(負論理)

b7	b6	b5	b4	b3	b2	b1	b0
予約	予約	予約	予約	予約	SRST	nIEN	0

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
データ・バイト1(16ビット・アクセス時)								データ・バイト0(16ビット・アクセス時)							
使用しない (8ビット・アクセス時)								データ・バイト (8ビット・アクセス時)							

b7	b6	b5	b4	b3	b2	b1	b0
セクタ番号(CHS モード)							
LBA ビット(LBA モード)							

【図 1 3】

シリンダ・ハイ・レジスタ								シリンダ・ロー・レジスタ							
b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0
シリンダ番号(CHSモード)															
LBAビット(LBAモード)															

(A)

b7	b6	b5	b4	b3	b2	b1	b0
予約	L	予約	DEV	ヘッド番号(CHSモード)			
LBAビット(LBAモード)							

(B)

L : LBAモード選択
DBA : デバイス・アドレス

b7	b6	b5	b4	b3	b2	b1	b0
セクタ数							

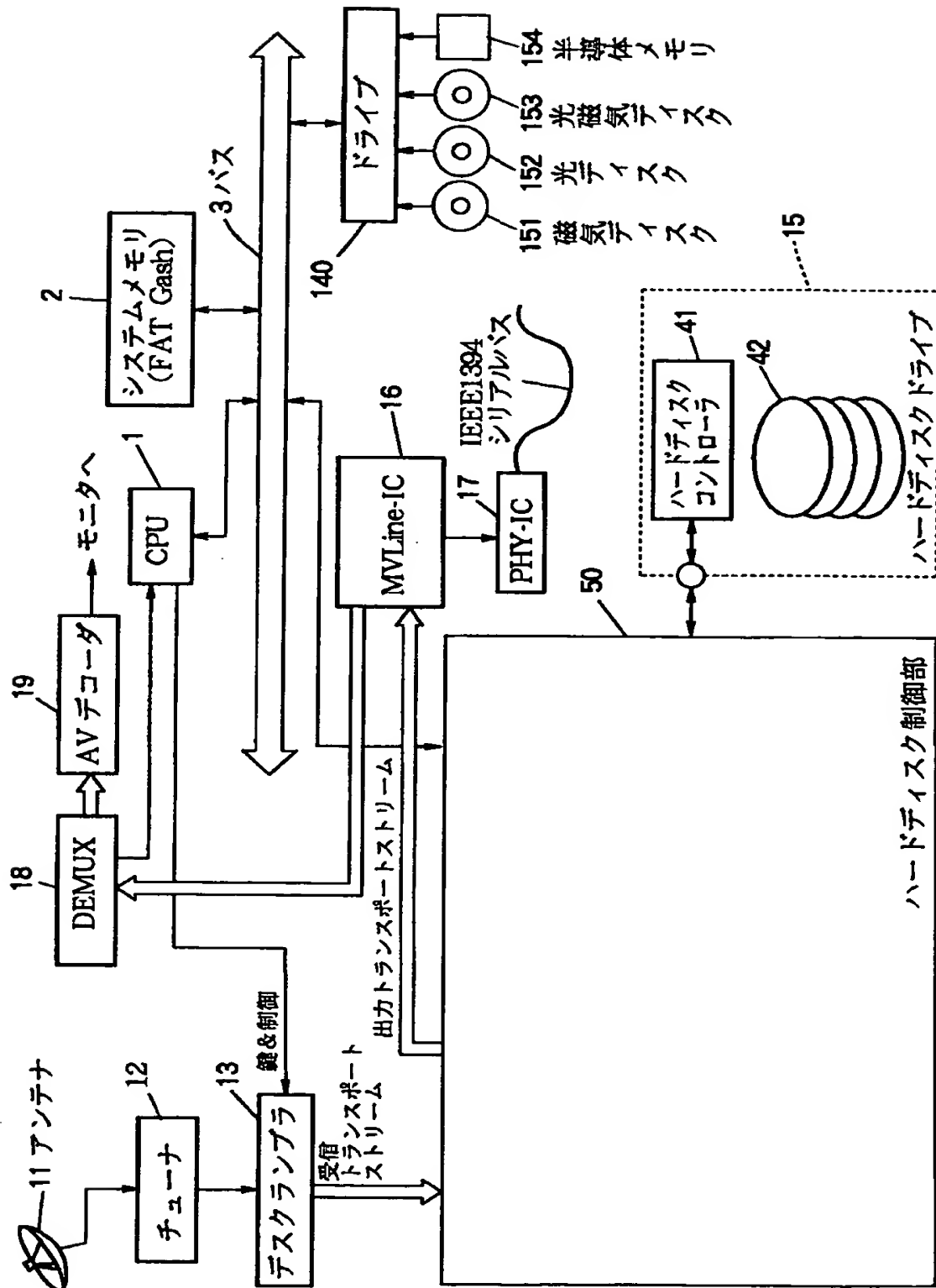
(C)

b7	b6	b5	b4	b3	b2	b1	b0
BSY	DRDY	DF	DSC	DRQ	CORR	IDX	ERR

(D)

BSY : ビジー(アクセス禁止)
DRDY : デバイス・レディ
DF : デバイス・ウォールト
DSC : デバイス・シーク・エラー
DRQ : データ・リクエスト
CORR : データ修正済み
IDX : インデックス検出
ERR : エラー発生

【図 1 4】



【書類名】 要約書

【要約】

【課題】 DMA転送の際に、ホストCPUの負担を軽減させる。

【解決手段】 FIFOに記憶されているデータ量をトリガーとし、FIFOの容量によりDMA転送を開始させる制御マシン 1 3 1 は、DMA転送の準備をする制御マシン 1 3 2 に、DMA転送のためのコマンドなどの準備を開始させる。DMA転送の準備をする制御マシン 1 3 2 は、DMAデータの転送をつかさどる制御マシン 1 3 4 に、準備したコマンドを発行し、そのコマンドに従った処理が開始される。

【選択図】 図 7

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 1 8 5]

1. 変更年月日 1 9 9 0 年 8 月 3 0 日

[変更理由] 新規登録

住 所 東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名 ソニー株式会社

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

This Page Blank (uspto)